

SON-2065

PATENT APPLICATION

#4 Ld
7/31/01

1c903 U.S. PTO

09/824040



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Patent Application of)
Takuya NIITSU et al.)
Application No. To Be Assigned)
Filed: March 30, 2001)
For: Crosstalk Cancellation Circuit,)
Interconnection Module,)
Interconnection Method of)
Automatic Interconnection)
Apparatus, and Integrated Circuit)

ATT: APPLICATION BRANCH

CLAIM TO PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
Washington, D.C. 20231

Sir:

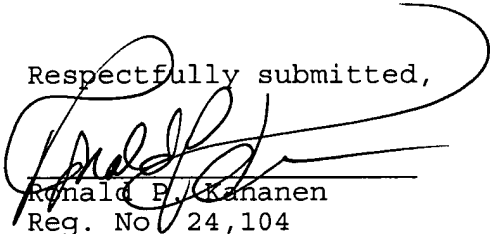
The benefit of the filing date of the following prior application
filed in the following foreign country is hereby requested and the
right of priority provided under 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appl. No. 2000-106705 filed April 4, 2000

In support of this claim, filed herewith is a certified copy of
each original foreign application.

Respectfully submitted,

Dated: April 3, 2001


Ronald B. Kananen
Reg. No. 24,104

RADER, FISHMAN & GRAUER P.L.L.C.
1233 20TH Street, NW
Suite 501
Washington, DC 20036
202-955-3750-Phone
202-955-3751 - Fax

Customer No. 23353

501P0485 u500

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

2000年 4月 4日

願 番 号
Application Number:

特願2000-106705

願 人
Applicant(s):

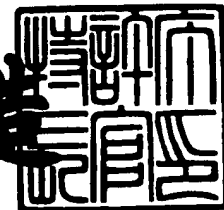
ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3014920

【書類名】 特許願

【整理番号】 0000067603

【提出日】 平成12年 4月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00
G06F 17/00

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 隈田 一郎

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロストークキャンセル回路、配線モジュールおよび自動配線装置の配線方法

【特許請求の範囲】

【請求項 1】

大規模集積回路内の配線のクロストークノイズを抑えるクロストークキャンセル回路であって、

N 個 (N は 2 以上の偶数) の第 1 の反転回路と、

前記 N 個の第 1 の反転回路を直列接続する第 1 の配線と、

N 個の第 2 の反転回路と、

前記 N 個の第 2 の反転回路を直列接続する第 2 の配線と

を有し、

前記第 1 および第 2 の配線は、互いに平行または略平行に隣接するように配置されており、

前記 N 個の第 1 の反転回路のうち 1 個以上の第 1 の反転回路は、前記第 1 および第 2 の配線間の寄生容量によるクロストークノイズが前記第 2 の配線上で相殺または略相殺されるような位置に配置されており、

前記 N 個の第 2 の反転回路のうち 1 個以上の第 2 の反転回路は、前記第 1 および第 2 の配線間の寄生容量によるクロストークノイズが前記第 1 の配線上で相殺または略相殺されるような位置に配置されている

クロストークキャンセル回路。

【請求項 2】

前記 1 個以上の第 1 の反転回路と前記 1 個以上の第 2 の反転回路は、配線方向上に交互に配置されている

請求項 1 記載のクロストークキャンセル回路。

【請求項 3】

前記 1 個以上の第 1 の反転回路は、前記第 2 の反転回路からの距離が最大となる位置または当該位置の近傍に配置されており、

前記 1 個以上の第 2 の反転回路は、前記第 1 の反転回路からの距離が最大とな

る位置または当該位置の近傍に配置されている

請求項 2 記載のクロストークキャンセル回路。

【請求項 4】

前記 1 個以上の第 1 の反転回路と前記 1 個以上の第 2 の反転回路を交互に配置した場合の最大遅延時間と最小遅延時間の時間差は、

前記 N 個の第 1 および第 2 の反転回路を配線方向とは垂直な方向に並べてそれぞれ配置した場合の最大遅延時間と最小遅延時間の時間差の半分以下である

請求項 2 記載のクロストークキャンセル回路。

【請求項 5】

前記 N 個の第 1 の反転回路の各々では、当該第 1 の反転回路の入力信号電圧が変化する時間と出力信号電圧が変化する時間とが重複し、

前記 N 個の第 2 の反転回路の各々では、当該第 2 の反転回路の入力信号電圧が変化する時間と出力信号電圧が変化する時間とが重複する

請求項 1 記載のクロストークキャンセル回路。

【請求項 6】

前記 N 個の第 1 および第 2 の反転回路ならびに前記第 1 および第 2 の配線は、前記大規模集積回路内のデータバスまたはアドレスバスを構成しており、

前記大規模集積回路は、0.25 ミクロン以下のプロセスルールにより製造される半導体集積回路である

請求項 1 記載のクロストークキャンセル回路。

【請求項 7】

前記 N 個の第 1 および第 2 の反転回路は、同じ構成の反転回路である

請求項 1 記載のクロストークキャンセル回路。

【請求項 8】

大規模集積回路内の配線モジュールであって、

M 個 (M は自然数) の反転回路と、

前記 M 個の反転回路の入力線と、

前記 M 個の反転回路の出力線と、

L 本の信号線と

を有し、

前記入力線、前記出力線および前記信号線は、互いに平行または略平行であり

、前記反転回路ならびに当該反転回路の入力線および出力線と、前記信号線とが、交互に配置されている

(但し、 $M=1$ である場合は、 $L=M$ または $L=M+1$ であり、 $M \geq 2$ である場合は、 $L=M$ 、 $L=M+1$ または $L=M-1$ である)

配線モジュール。

【請求項 9】

前記 M は、2以上の整数であり、

前記 M 個の反転回路は、前記信号線の方角とは垂直または略垂直な方向に並列するように配置されている

請求項 8 記載の配線モジュール。

【請求項 10】

前記反転回路と、当該反転回路の前記入力線および前記出力線と、前記信号線とが、前記大規模集積回路内のデータバスまたはアドレスバスの一部を構成しており、

前記大規模集積回路は、0.25ミクロン以下のプロセスルールにより製造される半導体集積回路である

請求項 8 記載の配線モジュール。

【請求項 11】

大規模集積回路内の配線を行う自動配線装置の配線方法であって、

複数の配線を平行または実質的に平行に配置する第 1 の工程と、

前記複数の配線の各々に対して同じ個数の反転回路を挿入する第 2 の工程と

を有し、

前記第 2 の工程は、隣接する配線の寄生容量によるクロストークノイズが当該隣接する配線上で相殺または略相殺されるような位置に前記反転回路を挿入する第 3 の工程を有する

自動配線装置の配線方法。

【請求項 1 2】

前記第 3 の工程では、前記複数の配線のうち互いに隣接する配線に対し、前記反転回路を互い違いの位置に挿入する

請求項 1 1 記載の自動配線装置の配線方法。

【請求項 1 3】

前記第 3 の工程では、前記互いに隣接する配線のうち一方の配線に対し、他方の配線の反転回路からの距離が最大となる位置または当該位置の近傍に、前記反転回路を挿入する

請求項 1 2 記載の自動配線装置の配線方法。

【請求項 1 4】

前記隣接する 2 つの配線に対し、前記反転回路を前記互い違いの位置に配置した場合の最大遅延時間と最小遅延時間の時間差は、当該反転回路を配線方向とは垂直な方向に 2 個ずつ並べて配置した場合の最大遅延時間と最小遅延時間の時間差の半分以下である

請求項 1 2 記載の自動配線装置の配線方法。

【請求項 1 5】

前記反転回路は、入力信号電圧が変化する時間と出力信号電圧が変化する時間とが重複する

請求項 1 1 記載の自動配線装置の配線方法。

【請求項 1 6】

前記配線は、データバスまたはアドレスバスの配線であり、

前記大規模集積回路は、0. 25 ミクロン以下のプロセスルールにより製造される半導体集積回路である

請求項 1 1 記載の自動配線装置の配線方法。

【請求項 1 7】

前記複数の配線の各々に対して挿入される反転回路は、同じ構成の反転回路である

請求項 1 1 記載の自動配線装置の配線方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、大規模集積回路内の配線のクロストークノイズを抑えることが可能なクロストークキャンセル回路と、このクロストークキャンセル回路で使用可能な配線モジュールと、大規模集積回路（LSI）内の配線を行う自動配線装置の配線方法とに関する。

【0002】

【従来の技術】

LSI内のバス（バス配線）やブロック間配線などの長距離配線では、隣接配線間の寄生容量によってクロストークが発生する。このクロストークの影響によって信号伝搬の遅延のばらつきが生じ、LSI内のD型フリップフロップ（DFF）でのホールドタイムエラーや、LSIの最高動作周波数の低下等を引き起こす可能性がある。

【0003】

クロストークに関しては、種々の文献がある。

例えば、特開平10-32254号公報には、半導体装置の自動配線方法およびネットディレイの計算方法の発明が開示されている。

特開平11-40677号公報には、クロストークエラー改善方式および方法の発明が開示されている。

特開平9-293094号公報には、レイアウト設計装置の発明が開示されている。

特開平10-308451号公報には、クロストークを考慮した自動配線方法の発明が開示されている。

【0004】

【発明が解決しようとする課題】

クロストーク対策として、信号線を電源線などでシールドしたり、配線間隔を大きくしたりする手法が知られているが、当該手法を用いると配線領域（配線面積）の増大を招く。

【0005】

クロストーク対策として、配線に対して等間隔にバッファを挿入し、配線方向と垂直な方向にバッファを並べることで、負荷容量に対する寄生容量の割合を減らしてクロストークの影響を減らすという手法もあるが、当該手法を用いると、バッファの個数を増やすにつれて配線面積および消費電力が増大する。

クロストークの影響を十分に低減できる程度にバッファ数を増やしてバッファ間隔を狭めると、今度はバッファも含めた全体の遅延時間が大きくなる。

【0006】

2つの信号線が隣接して平行に長距離配線された場合に、一方の信号線を別の配線層へ移したり、同一配線層内で離れた位置の別の平行配線と位置を途中で入れ替えたりする手法もあるが、当該手法を用いると、配置の入替用に余計な配線が増加する。

この手法では、統計的にクロストークの影響が減る可能性が高い。しかし、入替後の位置での隣接配線からのクロストークと、入替前の位置での隣接配線からのクロストークとが同時かつ同位相で生じる場合、この最悪ケースではクロストークがあまり改善されないおそれがある。そのようなダイナミックな信号変化タイミングを含めた全ての組合せでクロストークの影響を検証するのは、時間および労力がかかると共に負担が大きい。

【0007】

本発明の目的は、大規模集積回路内の配線のクロストークノイズを抑えることが可能なクロストークキャンセル回路と、このクロストークキャンセル回路で使用可能な配線モジュールと、LSI内のクロストークキャンセル回路の配線を行うことが可能な自動配線装置の配線方法とを提供することにある。

【0008】

【課題を解決するための手段】

本発明に係るクロストークキャンセル回路は、大規模集積回路内の配線のクロストークノイズを抑えるクロストークキャンセル回路であって、N個（Nは2以上の偶数）の第1の反転回路と、前記N個の第1の反転回路を直列接続する第1の配線と、N個の第2の反転回路と、前記N個の第2の反転回路を直列接続する

第 2 の配線とを有し、前記第 1 および第 2 の配線は、互いに平行または略平行に隣接するように配置されており、前記 N 個の第 1 の反転回路のうち 1 個以上の第 1 の反転回路は、前記第 1 および第 2 の配線間の寄生容量によるクロストークノイズが前記第 2 の配線上で相殺または略相殺されるような位置に配置されており、前記 N 個の第 2 の反転回路のうち 1 個以上の第 2 の反転回路は、前記第 1 および第 2 の配線間の寄生容量によるクロストークノイズが前記第 1 の配線上で相殺または略相殺されるような位置に配置されている。

【 0 0 0 9 】

本発明に係るクロストークキャンセル回路では、好適には、前記 1 個以上の第 1 の反転回路と前記 1 個以上の第 2 の反転回路は、配線方向上に交互に配置されている。

【 0 0 1 0 】

本発明に係るクロストークキャンセル回路では、より好適には、前記 1 個以上の第 1 の反転回路は、前記第 2 の反転回路からの距離が最大となる位置または当該位置の近傍に配置されており、前記 1 個以上の第 2 の反転回路は、前記第 1 の反転回路からの距離が最大となる位置または当該位置の近傍に配置されている。

【 0 0 1 1 】

本発明に係るクロストークキャンセル回路では、より好適には、前記 1 個以上の第 1 の反転回路と前記 1 個以上の第 2 の反転回路を交互に配置した場合の最大遅延時間と最小遅延時間の時間差は、前記 N 個の第 1 および第 2 の反転回路を配線方向とは垂直な方向に並べてそれぞれ配置した場合の最大遅延時間と最小遅延時間の時間差の半分以下である。

【 0 0 1 2 】

本発明に係るクロストークキャンセル回路では、好適には、前記 N 個の第 1 の反転回路の各々では、当該第 1 の反転回路の入力信号電圧が変化する時間と出力信号電圧が変化する時間とが重複し、前記 N 個の第 2 の反転回路の各々では、当該第 2 の反転回路の入力信号電圧が変化する時間と出力信号電圧が変化する時間とが重複する。

【 0 0 1 3 】

本発明に係るクロストークキャンセル回路では、例えば、前記N個の第1および第2の反転回路ならびに前記第1および第2の配線は、前記大規模集積回路内のデータバスまたはアドレスバスを構成しており、前記大規模集積回路は、0.25ミクロン以下のプロセスルールにより製造される半導体集積回路である構成としてもよい。

【 0 0 1 4 】

本発明に係るクロストークキャンセル回路では、好適には、前記N個の第1および第2の反転回路は、同じ構成の反転回路である。

【 0 0 1 5 】

本発明に係る配線モジュールは、大規模集積回路内の配線モジュールであって、M個（Mは自然数）の反転回路と、前記M個の反転回路の入力線と、前記M個の反転回路の出力線と、L本の信号線とを有し、前記入力線、前記出力線および前記信号線は、互いに平行または略平行であり、前記反転回路ならびに当該反転回路の入力線および出力線と、前記信号線とが、交互に配置されている。但し、 $M = 1$ である場合は、 $L = M$ または $L = M + 1$ であり、 $M \geq 2$ である場合は、 $L = M$ 、 $L = M + 1$ または $L = M - 1$ である。

【 0 0 1 6 】

本発明に係る配線モジュールは、好適には、前記Mは、2以上の整数であり、前記M個の反転回路は、前記信号線の方角とは垂直または略垂直な方向に並列するように配置されている。

【 0 0 1 7 】

本発明に係る配線モジュールは、例えば、前記反転回路と、当該反転回路の前記入力線および前記出力線と、前記信号線とが、前記大規模集積回路内のデータバスまたはアドレスバスの一部を構成しており、前記大規模集積回路は、0.25ミクロン以下のプロセスルールにより製造される半導体集積回路である構成としてもよい。

【 0 0 1 8 】

本発明に係る自動配線装置の配線方法は、大規模集積回路内の配線を行う自動

配線装置の配線方法であって、複数の配線を平行または実質的に平行に配置する第1の工程と、前記複数の配線の各々に対して同じ個数の反転回路を挿入する第2の工程とを有し、前記第2の工程は、隣接する配線の寄生容量によるクロストークノイズが当該隣接する配線上で相殺または略相殺されるような位置に前記反転回路を挿入する第3の工程を有する。

【0019】

本発明に係る自動配線装置の配線方法では、好適には、前記第3の工程では、前記複数の配線のうち互いに隣接する配線に対し、前記反転回路を互い違いの位置に挿入する。

【0020】

本発明に係る自動配線装置の配線方法では、より好適には、前記第3の工程では、前記互いに隣接する配線のうち一方の配線に対し、他方の配線の反転回路からの距離が最大となる位置または当該位置の近傍に、前記反転回路を挿入する。

【0021】

本発明に係る自動配線装置の配線方法では、より好適には、前記隣接する2つの配線に対し、前記反転回路を前記互い違いの位置に配置した場合の最大遅延時間と最小遅延時間の時間差は、当該反転回路を配線方向とは垂直な方向に2個ずつ並べて配置した場合の最大遅延時間と最小遅延時間の時間差の半分以下である。

【0022】

本発明に係る自動配線装置の配線方法では、好適には、前記反転回路は、入力信号電圧が変化する時間と出力信号電圧が変化する時間とが重複する。

【0023】

本発明に係る自動配線装置の配線方法では、例えば、前記配線は、データバスまたはアドレスバスの配線であり、前記大規模集積回路は、0.25ミクロン以下のプロセスルールにより製造される半導体集積回路である構成としてもよい。

【0024】

本発明に係る自動配線装置の配線方法では、好適には、前記複数の配線の各々に対して挿入される反転回路は、同じ構成の反転回路である。

【0025】

N個の第1の反転回路の何れかを、第1および第2の配線間の寄生容量によるクロストークノイズが第2の配線上で相殺または略相殺されるような位置に配置することで、第2の配線上のクロストークノイズが打ち消し合って結果的にクロストークノイズが低減される。

N個の第2の反転回路の何れかを、第1および第2の配線間の寄生容量によるクロストークノイズが第1の配線上で相殺または略相殺されるような位置に配置することで、第1の配線上のクロストークノイズが打ち消し合って結果的にクロストークノイズが低減される。

【0026】

【発明の実施の形態】

以下、本発明の実施の形態を添付図面を参照して説明する。

【0027】

クロストークキャンセル回路

図1は、本発明に係るクロストークキャンセル回路の実施の形態を示す回路図である。

このクロストークキャンセル回路19は、入力端T11、T21と、出力端T19、T29と、配線10₁～10₃、20₁～20₃と、反転回路11、12、21、22とを有し、LSI内で使用される。

反転回路11、12、21、22は、例えば、NANDゲート、NORゲート、インバータ等により構成される。

【0028】

入力端T11と反転回路11の入力端との間は、配線10₁により接続されている。

反転回路11の出力端と反転回路12の入力端との間は、配線10₂により接続されている。

反転回路12の出力端と出力端T19との間は、配線10₃により接続されている。

【0029】

入力端T21と反転回路21の入力端との間は、配線20₁により接続されている。

反転回路21の出力端と反転回路22の入力端との間は、配線20₂により接続されている。

反転回路22の出力端と出力端T29との間は、配線20₃により接続されている。

【0030】

配線10₁～10₃と配線20₁～20₃は、平行または実質的に平行に配置されている。

配線10₁～10₃の間に反転回路11, 12が挿入されており、配線20₁～20₃の間に反転回路21, 22が挿入されている。

【0031】

図1の回路図において、配線10₁～10₃, 20₁～20₃のうち、入力端T11, T21と反転回路11との間を区間Aとし、反転回路11, 21の間を区間Bとし、反転回路21, 12の間を区間Cとし、反転回路12, 22の間を区間Dとし、反転回路22と出力端T19, T29の間を区間Eとしている。

【0032】

反転回路11, 12, 21, 22は、配線方向上に交互に配置されており、互い違いの位置に配置されている。入力端T11と反転回路21との間の区間(A+B)に反転回路11が位置し、反転回路11, 12の間の区間(B+C)に反転回路21が位置し、反転回路21, 22の間の区間(C+D)に反転回路12が位置し、反転回路12と出力端T19, T29との間の区間(D+E)に反転回路22が位置している。

【0033】

図2は、図1中の反転回路11の一例を示す回路図である。なお、図1の反転回路11, 12, 21, 22は同じ回路構成であり、反転回路11を例示して説明する。

【0034】

図2 (A) に示す反転回路11は、図2 (B) に示すCMOS (Complementary Metal Oxide Semiconductor) インバータにより構成されている。

図2 (B) の反転回路11は、pチャネル型MOSFET (Metal Oxide Semiconductor Field Effect Transistor) 11Pと、nチャネル型MOSFET 11Nとが相補的に接続されている。

pチャネル型MOSFET 11Pのソース端子は、電源電圧 V_{DD} が供給され、nチャネル型MOSFET 11Nのソース端子は、接地されて接地電位GNDになっている。

【0035】

図3は、従来のクロストークの影響を抑制する回路を示す説明図である。

図3 (A) は、このクロストーク抑制回路69の回路図を示している。

図3 (B) は、図3 (A) のクロストーク抑制回路69の概略的な等価回路図を示している。

【0036】

図3 (A) のクロストーク抑制回路69は、入力端T61、T71と、出力端T69、T79と、配線60₁ ~ 60₃、70₁ ~ 70₃と、バッファ61、62、71、72とを有し、LSI内で使用される。

【0037】

入力端T61とバッファ61の入力端との間は、配線60₁により接続されている。

バッファ61の出力端とバッファ62の入力端との間は、配線60₂により接続されている。

バッファ62の出力端と出力端T69との間は、配線60₃により接続されている。

【0038】

入力端T71とバッファ71の入力端との間は、配線70₁により接続されている。

バッファ71の出力端とバッファ72の入力端の間は、配線70₂により接続

されている。

バッファ72の出力端と出力端T79との間は、配線70₃により接続されている。

【0039】

配線60₁～60₃と配線70₁～70₃は、平行または実質的に平行に配置されている。

配線60₁～60₃の間にバッファ61、62が挿入されており、配線70₁～70₃の間にバッファ71、72が挿入されている。

バッファ61、71とバッファ62、72は、配線方向とは垂直な方向に並べて配置されている。

【0040】

図3(B)は、図3(A)のクロストーク抑制回路69について、配線の電気抵抗(配線抵抗)および配線間の寄生容量の影響を加味した概略的な等価回路図を示している。

入力端T61からバッファ61までの配線60₁は、直列接続された配線抵抗61R～63Rからなる。

バッファ61、62間の配線60₂は、直列接続された配線抵抗64R～66Rからなる。

バッファ62から出力端T69までの配線60₃は、直列接続された配線抵抗67R～69Rからなる。

【0041】

入力端T71からバッファ71までの配線70₁は、直列接続された配線抵抗71R～73Rからなる。

バッファ71、72間の配線70₂は、直列接続された配線抵抗74R～76Rからなる。

バッファ72から出力端T79までの配線70₃は、直列接続された配線抵抗77R～79Rからなる。

【0042】

配線抵抗61R、62Rと配線抵抗71R、72Rとの間には、寄生容量61

Cが存在する。

配線抵抗62R, 63Rと配線抵抗72R, 73Rとの間には、寄生容量62Cが存在する。

【0043】

配線抵抗64R, 65Rと配線抵抗74R, 75Rとの間には、寄生容量64Cが存在する。

配線抵抗65R, 66Rと配線抵抗75R, 76Rとの間には、寄生容量65Cが存在する。

【0044】

配線抵抗67R, 68Rと配線抵抗77R, 78Rとの間には、寄生容量67Cが存在する。

配線抵抗68R, 69Rと配線抵抗78R, 79Rとの間には、寄生容量68Cが存在する。

【0045】

配線60₁～60₃に信号S1が伝搬し、配線70₁～70₃に信号S2が伝搬し、信号S1, S2が同位相である第1の場合、寄生容量61C～68Cに電位差が生じないか又は殆んど生じないので伝搬遅延は小さく、遅延時間が最小になる。

配線60₁～60₃に信号S1が伝搬し、配線70₁～70₃に信号の伝搬がない第2の場合は、寄生容量61C～68Cに電位差が生じて、伝搬遅延は大きくなる。

【0046】

配線60₁～60₃に信号S1が伝搬し、配線70₁～70₃に信号S3が伝搬し、信号S1, S3が逆位相である第3の場合、寄生容量61C～68Cに電位差が生じて伝搬遅延はさらに大きくなり、遅延時間が最大になる。この第3の場合の寄生容量は、第2の場合の寄生容量の2倍に見えることから、この寄生容量をミラー容量ということがある。

【0047】

図3のクロストーク抑制回路69では、負荷容量に対する寄生容量の割合を減

少させてクロストークを抑えるものであり、バッファ数や消費電力の増加などの不具合が生じる。また、バッファ数を増やすほどクロストークの影響は減っていくが、バッファ遅延の総和が大きくなり、LSIの最高動作速度（または最高動作周波数）の低下をもたらすことがある。

【 0 0 4 8 】

一方、図1のクロストークキャンセル回路19では、クロストークを引き起こす寄生容量を削減しない。その代わりに、信号を反転させる反転回路を隣接配線の反転回路から離して配置（例えば、隣接配線の反転回路からの距離が最大となる位置に配置）したり、配線の端から離して配置したりすることにより、部分的なクロストークノイズ同士を干渉させて相殺させる。

クロストークノイズ同士が打ち消し合うことで、平行配線長が大きい場合に、シールドに近い効果を得ることが可能である。

【 0 0 4 9 】

図4は、図1中の反転回路11の入力信号電圧および出力信号電圧の時間変化を示す説明図である。反転回路11として、図2の1段構成のCMOSインバータ（インバータ）を例示して説明する。

このインバータでは、入力信号 S_i の信号電圧が変化し始めて、インバータを構成するMOSFETのしきい電圧を超えたあたりから、出力信号 S_o の信号電圧は変化を始める。

【 0 0 5 0 】

LSI内のクロストークキャンセル回路19では、インバータがドライブする負荷はかなり重い（負荷が大きい）ため、入力信号電圧の変化時間 T_c に対し、インバータの入力信号電圧と出力信号電圧の変化が重なる重複時間 T_x は変化時間 T_c に近くなる。

このため、図1のクロストークキャンセル回路19に示す反転回路（インバータ）の配置では、インバータの入力側の配線と出力側の配線とによる、隣接配線へのクロストークノイズが、当該隣接配線上で重複時間 T_x で相殺または略相殺される。

【0051】

このクロストークノイズが相殺される様子を、図5を用いて説明する。

図5(A)は、図1のクロストークキャンセル回路19において、反転回路11の近傍を拡大した部分的な回路図である。

図5(B)は、図5(A)の部分的な回路図において、配線抵抗および寄生容量の影響を加味した概略的な等価回路図である。

【0052】

図5(B)において、図5(A)の配線10₁は、直列接続された配線抵抗12R, 13Rからなる。

図5(B)において、図5(A)の配線10₂は、直列接続された配線抵抗15R, 16Rからなる。

図5(B)において、図5(A)の配線20₁は、直列接続された配線抵抗22R~26Rからなる。

【0053】

配線抵抗12R, 13Rと配線抵抗22R, 23Rとの間には、寄生容量12Cが存在する。

配線抵抗13Rから反転回路11までと、配線抵抗23R, 24Rとの間には、寄生容量13Cが存在する。

【0054】

反転回路11から配線抵抗15Rまでと、配線抵抗24R, 25Rとの間には、寄生容量14Cが存在する。

配線抵抗15R, 16Rと配線抵抗25R, 26Rとの間には、寄生容量15Cが存在する。

【0055】

反転回路11の入力信号電圧と出力信号電圧とが同時に変化している場合、反転回路11の入力側の配線抵抗12R, 13Rから配線抵抗22R, 23R, 24Rに対して寄生容量12C, 13Cによりクロストークノイズが生じると共に、反転回路11の出力側の配線抵抗15R, 16Rから配線抵抗24R, 25R, 26Rに対して寄生容量14C, 15Cによりクロストークノイズが生じる。

反転回路 11 の入力信号によって生じたクロストークノイズと出力信号によって生じたクロストークノイズは、反転回路 11 の近傍に位置する配線抵抗 $24R$ で互いに打ち消し合い、相殺または略相殺される。

【0056】

したがって、反転回路 11 で信号が変化している場合に、隣接配線上で同じタイミングで信号変化が生じたとき（特に、逆位相の信号変化が生じたとき）に、信号の伝搬遅延に対するクロストークの影響が低減される。クロストークの影響は、配線が 2 本である場合も 3 本以上である場合も、同様にして低減される。

【0057】

上記説明は、反転回路 11 近辺での効果であったが、例えば図 1 全体で入力端 T11, T21 から出力端 T19, T29 への信号伝搬を見た場合には、別の効果も奏する。

ここで、図 1 のクロストークキャンセル回路 19 において、入力端 T11, T21 に、同位相で変化する信号が同時に入力された場合を想定する。

【0058】

図 4 の説明図に示すように、反転回路の遅延時間が信号の変化時間 T_c より小さい場合、図 1 の配線 $10_1 \sim 10_3$, $20_1 \sim 20_3$ 上の電圧変化は、隣接配線間でほぼ同じ速度で波のように入力端 T11, T21 から出力端 T19, T29 へと伝わっていく。

【0059】

このとき、図 1 の区間 A では同相、区間 B では逆相、区間 C では同相、区間 D では逆相、区間 E では同相となる。

従ってクロストークによる影響として、信号の伝搬遅延は、区間 B、D で大きくなり、区間 A、C、E では小さくなる。その結果、区間ごとの遅延の変動が相殺し合い、トータルでの遅延変化が小さくなる。

図 1 のクロストークキャンセル回路 19 の入力端子 T11, T21 に逆相の信号が入力された場合は、区間ごとの遅延の大小が逆になるが、トータルでの遅延変化が同様に小さくなる。

【0060】

配線モジュール

次に、配線モジュールについて説明する。

図6は、クロストークキャンセル回路に使用可能な配線モジュールと、当該配線モジュールから生成したクロストークキャンセル回路とを示す第1の説明図である。

【0061】

図6(A)は、配線モジュール1を示す説明図である。

この配線モジュール1は、反転回路31と、反転回路31の入力線31Aおよび出力線31Bと、信号線41とを有する。

【0062】

図6(B)は、配線モジュール2を示す説明図である。

この配線モジュール2は、信号線32と、反転回路42と、反転回路42の入力線42Aおよび出力線42Bとを有する。

【0063】

図6(C)は、配線モジュール3を示す説明図である。

この配線モジュール3は、反転回路33と、反転回路33の入力線33Aおよび出力線33Bと、信号線43とを有する。

【0064】

図6(D)は、配線モジュール4を示す説明図である。

この配線モジュール4は、信号線34と、反転回路44と、反転回路44の入力線44Aおよび出力線44Bとを有する。

配線モジュール1, 3は互いに同一の構成であり、配線モジュール2, 4は互いに同一の構成である。

【0065】

図6(E)は、図6(A)～図6(D)に示す配線モジュール1～4から生成したクロストークキャンセル回路29を示す回路図である。

図6(E)のクロストークキャンセル回路29は、入力端T11, T21と、配線30₁～30₅, 40₁～40₅と、配線モジュール1～4と、出力端T1

9, T29とを有する。このクロストークキャンセル回路29は、以下に示すような接続関係になっている。

【0066】

入力端T11と配線モジュール1の反転回路31の入力線31Aとが、配線30₁により接続されている。

入力端T21と配線モジュール1の信号線41の入力端とが、配線40₁により接続されている。

【0067】

配線モジュール1の反転回路31の出力線31Bと配線モジュール2の信号線32の入力端とが、配線30₂により接続されている。

配線モジュール1の信号線41の出力端と配線モジュール2の反転回路42の入力線42Aとが、配線40₂により接続されている。

【0068】

配線モジュール2の信号線32の出力端と配線モジュール3の反転回路33の入力線33Aとが、配線30₃により接続されている。

配線モジュール2の反転回路42の出力線42Bと配線モジュール3の信号線43の入力端とが、配線40₃により接続されている。

【0069】

配線モジュール3の反転回路33の出力線33Bと配線モジュール4の信号線34の入力端とが、配線30₄により接続されている。

配線モジュール3の信号線43の出力端と配線モジュール4の反転回路44の入力線44Aとが、配線40₄により接続されている。

【0070】

配線モジュール4の信号線34の出力端と出力端T19とが、配線30₅により接続されている。

配線モジュール4の反転回路44の出力線44Bと出力端T29とが、配線40₅により接続されている。

【0071】

このようにして、図6(A)～(D)の配線モジュール1～4を用いて、図6

(E) のクロストークキャンセル回路 29 を生成することができる。このクロストークキャンセル回路 29 では、2 ビットの平行データを、クロストークノイズを抑えつつ、かつ遅延時間の時間差を抑えつつ、転送することが可能である。

【0072】

また、図 6 (E) 内の反転回路 31, 33, 42, 44 を、それぞれ反転回路 11, 12, 21, 22 とすることで、図 1 のクロストークキャンセル回路 19 を得ることが可能である。配線モジュール 1~4 は、例えば、LSI 内のデータバスまたはアドレスバスの配線に挿入されて使用される。

【0073】

図 7 は、クロストークキャンセル回路に使用可能な配線モジュールと、当該配線モジュールから生成したクロストークキャンセル回路とを示す第 2 の説明図である。

【0074】

図 7 (A) は、配線モジュール 6 を示す説明図である。

この配線モジュール 6 は、反転回路 111, 131 と、反転回路 111, 131 の入力線 111A, 131A および出力線 111B, 131B と、信号線 121, 141 とを有する。

【0075】

配線モジュール 6 では、反転回路 111, 131 と信号線 121, 141 とが交互に配置されている。

入力線 111A, 131A と、出力線 111B, 131B と、信号線 121, 141 は、互いに平行または略平行に配置されている。

反転回路 111, 131 は、信号線 121, 141 が延びる方向（信号線の方
向）とは、垂直または略垂直な方向に並列するように配置されている。

【0076】

図 7 (B) は、配線モジュール 7 を示す説明図である。

この配線モジュール 7 は、信号線 112, 132 と、反転回路 122, 142 と、反転回路 122, 142 の入力線 122A, 142A および出力線 122B

， 142Bとを有する。

【0077】

配線モジュール7では、反転回路122，142と信号線112，132とが交互に配置されている。

入力線122A，142Aと、出力線122B，142Bと、信号線112，132は、互いに平行または略平行に配置されている。

反転回路122，142は、信号線112，132が延びる方向（信号線の方
向）とは、垂直または略垂直な方向に並列するように配置されている。

反転回路111，122，131，142は、互いに同一の構成である。

【0078】

図7（C）は、図7（A），（B）に示す配線モジュール6，7から生成したクロストークキャンセル回路119を示す回路図である。

図7（C）のクロストークキャンセル回路119は、入力端T111～T141と、配線110₁～110₃，120₁～120₃，130₁～130₃，140₁～140₃と、配線モジュール6，7と、出力端T119～T149とを有する。このクロストークキャンセル回路119は、以下のような接続関係になっている。

【0079】

入力端T111と配線モジュール6の反転回路111の入力線111Aとが、配線110₁により接続されている。

入力端T131と配線モジュール6の反転回路131の入力線131Aとが、配線130₁により接続されている。

【0080】

入力端T121と配線モジュール6の信号線121の入力端とが、配線120₁により接続されている。

入力端T141と配線モジュール6の信号線141の入力端とが、配線140₁により接続されている。

【0081】

配線モジュール6の反転回路111の出力線111Bと配線モジュール7の信

号線 1 1 2 の入力端とが、配線 1 1 0₂ により接続されている。

配線モジュール 6 の反転回路 1 3 1 の出力線 1 3 1 B と配線モジュール 7 の信号線 1 3 2 の入力端とが、配線 1 3 0₂ により接続されている。

【0082】

配線モジュール 6 の信号線 1 2 1 の出力端と配線モジュール 7 の反転回路 1 2 2 の入力線 1 2 2 A とが、配線 1 2 0₂ により接続されている。

配線モジュール 6 の信号線 1 4 1 の出力端と配線モジュール 7 の反転回路 1 4 2 の入力線 1 4 2 A とが、配線 1 4 0₂ により接続されている。

【0083】

配線モジュール 7 の信号線 1 1 2 の出力端と出力端 T 1 1 9 とが、配線 1 1 0₃ により接続されている。

配線モジュール 7 の信号線 1 3 2 の出力端と出力端 T 1 3 9 とが、配線 1 3 0₃ により接続されている。

【0084】

配線モジュール 7 の反転回路 1 2 2 の出力線 1 2 2 B と出力端 T 1 2 9 とが、配線 1 2 0₃ により接続されている。

配線モジュール 7 の反転回路 1 4 2 の出力線 1 4 2 B と出力端 T 1 4 9 とが、配線 1 4 0₃ により接続されている。

【0085】

このようにして、図 7 (A), (B) の配線モジュール 6, 7 を用いて、図 7 (C) のクロストークキャンセル回路 1 1 9 を生成することができる。

このクロストークキャンセル回路 1 1 9 では、4 ビットの平行データを、クロストークノイズを抑えつつ、かつ遅延時間の時間差を抑えつつ、転送することが可能である。配線モジュール 6, 7 は、例えば、LSI 内のデータバスまたはアドレスバスの配線に挿入されて、当該データバスまたはアドレスバスの一部を構成する。

【0086】

ケース 1

一例として、0.25 ミクロン（または 0.25 μm）のプロセスルールで作

成された2本の平行配線について、配線長を5mmとし、両配線に2個のCMOSインバータを挿入した場合を想定する。例えば、配線幅を約 $0.8\mu\text{m}$ とし、配線間隔を約 $0.9\mu\text{m}$ とし、配線抵抗値を約 $50\Omega/\text{mm}$ とし、CMOSインバータの電源電圧 V_{DD} を約2.5Vとし、CMOSインバータの論理しきい値を約1.1Vとする。

【0087】

両配線の入力端の近傍にCMOSインバータをそれぞれ配置すると共に、両配線の出力端の近傍にそれぞれCMOSインバータを配置した場合をケース1Wとする。

両配線の入力端の近傍にCMOSインバータをそれぞれ配置すると共に、一方の配線の出力端の近傍にCMOSインバータを配置し、他方の配線の中央部にCMOSインバータを配置した場合をケース1Aとする。

【0088】

一方の配線に第1の信号が入力され、他方の配線に第2の信号が入力され、第1および第2の信号が逆位相である場合、ケース1Aの遅延時間を、ケース1Wの遅延時間の約72%にすることが可能である。

また、一方の配線に第1の信号が入力され、他方の配線に第2の信号が入力され、第1および第2の信号が逆位相である場合と、第1および第2の信号が同位相である場合とについて、ケース1Aの遅延時間差を、ケース1Wの遅延時間差の約34%にすることが可能である。

【0089】

ケース2

一例として、0.25ミクロン（または $0.25\mu\text{m}$ ）のプロセスルールで作成された2本の平行配線について、配線長を10mmとし、各配線に4個のCMOSインバータを挿入した場合を想定する。例えば、配線幅を約 $0.8\mu\text{m}$ とし、配線間隔を約 $0.9\mu\text{m}$ とし、配線抵抗を約 $50\Omega/\text{mm}$ とし、CMOSインバータの電源電圧 V_{DD} を約2.5Vとし、CMOSインバータの論理しきい値を約1.1Vとする。

【0090】

両配線の入力端および出力端の近傍にCMOSインバータをそれぞれ配置すると共に、各配線を3等分する2つの位置にそれぞれCMOSインバータを配置した場合をケース2Wとする。

両配線の入力端および出力端の近傍にCMOSインバータをそれぞれ配置すると共に、各配線を5等分する位置のうち一方の配線には入力端から1番目および3番目の位置にCMOSインバータを配置し、他方の配線には入力端から2番目および4番目の位置にCMOSインバータを配置した場合をケース2Aとする。

【0091】

一方の配線に第1の信号が入力され、他方の配線に第2の信号が入力され、第1および第2の信号が逆位相である場合、ケース2Aの遅延時間を、ケース2Wの遅延時間の約72%にすることが可能である。

また、一方の配線に第1の信号が入力され、他方の配線に第2の信号が入力され、第1および第2の信号が逆位相である場合と、第1および第2の信号が同位相である場合とについて、ケース2Aの遅延時間差を、ケース2Wの遅延時間差の約12%にすることが可能である。

【0092】

ケース3

一例として、0.25ミクロン（または0.25 μm ）のプロセスルールで作成された2本の平行配線について、配線長を20mmとし、各配線に6個のCMOSインバータを挿入した場合を想定する。例えば、配線幅を約0.8 μm とし、配線間隔を約0.9 μm とし、配線抵抗を約50 Ω/mm とし、CMOSインバータの電源電圧 V_{DD} を約2.5Vとし、CMOSインバータの論理しきい値を約1.1Vとする。

【0093】

両配線の入力端および出力端の近傍にCMOSインバータをそれぞれ配置すると共に、各配線を5等分する4つの位置にそれぞれCMOSインバータを配置した場合をケース3Wとする。

両配線の入力端および出力端の近傍にCMOSインバータをそれぞれ配置する

と共に、各配線を9等分する8個の位置のうち一方の配線には入力端から奇数番目の位置にCMOSインバータを配置し、他方の配線には入力端から偶数番目の位置にCMOSインバータを配置した場合をケース3Aとする。

【0094】

一方の配線に第1の信号が入力され、他方の配線に第2の信号が入力され、第1および第2の信号が逆位相である場合、ケース3Aの遅延時間を、ケース3Wの遅延時間の約73%にすることが可能である。

また、一方の配線に第1の信号が入力され、他方の配線に第2の信号が入力され、第1および第2の信号が逆位相である場合と、第1および第2の信号が同位相である場合とについて、ケース3Aの遅延時間差を、ケース3Wの遅延時間差の約9%にすることが可能である。

【0095】

このように、クロストークキャンセル回路によれば、シールドに近い効果を得ることが可能である。

なお、0.25ミクロンのプロセスルールで作成された2本の平行配線について例示して説明したが、0.18ミクロンまたはそれ以下のプロセスルールで作成された2本の平行配線（またはLSI）についても、同様にして適用可能である。

【0096】

自動配線装置の配線方法

図8は、LSI内の配線を行う自動配線装置であって、クロストークキャンセル回路の配線を行う自動配線装置の第1の配線方法を示す概略的なフローチャートである。自動配線装置は、例えばCAD (Computer Aided Design) システムにより構成する。

前記LSI内の配線は、例えば、データバスまたはアドレスバスの配線とする。また、前記LSIは、例えば、0.25ミクロン以下のプロセスルールにより製造される半導体集積回路とする。

【0097】

先ず、ステップS11では、長距離を平行に配置するとレイアウト面積が小さ

くなる複数の配線を検出し、前記複数の配線を平行に隣接させて配置する。例えば、アドレスバスやデータバス等のバス配線について、平行に隣接させて長距離配線を行う。

【0098】

次に、ステップS12では、ステップS11の平行配線のうち、信号遅延およびクロストークの影響が設計仕様を満たさない配線を検出する。例えば、信号遅延が設定値（または許容値）よりも大きい配線や、クロストークノイズが大きい配線を検出する。

【0099】

ステップS13では、ステップS12で検出された配線のうち、反転回路を挿入していない配線を1本選択する。

そして、当該配線上に、隣接配線上の反転回路から所定の距離を隔てて、且つ、信号遅延が設計仕様を満たすような間隔で反転回路を挿入する。

【0100】

前記所定の距離を隔てた位置は、隣接する配線の寄生容量によるクロストークノイズが当該隣接する配線上で相殺または略相殺されるような位置とする。

また、前記複数の配線のうち互いに隣接する配線に対し、前記反転回路を互い違いの位置に挿入する。

このステップS13では、ステップS12で検出された配線の各々に対し、同じ個数の反転回路を配置する。前記反転回路は、入力信号電圧が変化する時間と出力信号電圧が変化する時間とが重複する回路特性を有する。また、前記複数の配線の各々に対して挿入される反転回路は、同じ構成の反転回路とする。

【0101】

反転回路の挿入位置は、好適には、前記互いに隣接する配線のうち一方の配線に対し、他方の配線の反転回路からの距離が最大となる位置または当該位置の近傍とする。

そして、より好適には、前記隣接する2つの配線に対し、前記反転回路を前記互い違いの位置に配置した場合の最大遅延時間と最小遅延時間の時間差は、当該反転回路を配線方向とは垂直な方向に2個ずつ並べて配置した場合の最大遅延時

間と最小遅延時間の時間差の半分以下となるようにする。

【0102】

ステップS14では、ステップS13での配線の選択が全て終了したか否かを判定する。

配線の選択が全て終了していない場合は、ステップS13に戻る。

配線の選択が全て終了した場合は、本フローチャートの処理を終了する。このようにして、LSI内のクロストークキャンセル回路の配線を行うことが可能である。

【0103】

図9は、LSI内の配線を行う自動配線装置であって、クロストークキャンセル回路の配線を配線モジュールを用いて行う自動配線装置の第2の配線方法を示す概略的なフローチャートである。自動配線装置は、例えばCADシステムにより構成する。

前記LSI内の配線は、例えば、データバスまたはアドレスバスの配線とする。また、前記LSIは、例えば、0.25ミクロン以下のプロセスルールにより製造される半導体集積回路とする。

ステップS21、S22は、図8のステップS11、S12と同じであり、その説明を省略する。

【0104】

ステップS23では、ステップS22で検出された配線に対し、信号遅延が設計仕様を満たすような間隔で配線モジュールを挿入し、LSI内のクロストークキャンセル回路を生成する。

この図9に示すフローチャートにより、図8に示すフローチャートでの配線と同様の配線を行うことが可能である。

【0105】

クロストークキャンセル回路19、29、119により、隣接配線間のクロストークによる信号遅延のばらつきを減少させることができ、DFF等のラッチ回路のホールドタイムエラーを防ぐことができ、LSIの最高動作周波数を向上することが可能である。

【 0 1 0 6 】

また、配線モジュール 1 ～ 4， 6， 7 により、自動配線装置を用いてクロストークキャンセル回路 1 9， 2 9， 1 1 9 を容易に作成することができ、クロストークキャンセル回路の作成の手間を軽減することが可能である。

また、従来の自動配線装置に配線モジュール 1 ～ 4， 6， 7 の配線機能を加えることで、クロストークキャンセル回路 1 9， 2 9， 1 1 9 を容易に設計および／または作成することができる。

【 0 1 0 7 】

なお、上記実施の形態は本発明の例示であり、本発明は上記実施の形態に限定されない。

【 0 1 0 8 】

【発明の効果】

以上に説明したように、本発明によれば、大規模集積回路内の配線のクロストークノイズを抑えることが可能なクロストークキャンセル回路と、このクロストークキャンセル回路で使用可能な配線モジュールと、 L S I 内のクロストークキャンセル回路の配線を行うことが可能な自動配線装置の配線方法とを提供することができる。

【図面の簡単な説明】

【図 1】

本発明に係るクロストークキャンセル回路の実施の形態を示す回路図である。

【図 2】

図 1 中の反転回路の一例を示す回路図である。

【図 3】

従来のクロストーク抑制回路を示す説明図である。

【図 4】

図 1 中の反転回路の入力信号電圧および出力信号電圧の時間変化を例示する説明図である。

【図 5】

クロストークノイズが相殺される様子を示す説明図であり、図 5 (A) は、図

1 中の反転回路 11 の近傍を拡大した部分的な回路図であり、図 5 (B) は、図 5 (A) の部分的な回路図において、配線抵抗および寄生容量の影響を加味した概略的な等価回路図である。

【図 6】

クロストークキャンセル回路に使用可能な配線モジュールと、当該配線モジュールから生成したクロストークキャンセル回路とを示す第 1 の説明図である。

【図 7】

クロストークキャンセル回路に使用可能な配線モジュールと、当該配線モジュールから生成したクロストークキャンセル回路とを示す第 2 の説明図である。

【図 8】

L S I 内の配線を行う自動配線装置であって、クロストークキャンセル回路の配線を行う自動配線装置の第 1 の配線方法を示す概略的なフローチャートである。

【図 9】

L S I 内の配線を行う自動配線装置であって、クロストークキャンセル回路の配線を配線モジュールを用いて行う自動配線装置の第 2 の配線方法を示す概略的なフローチャートである。

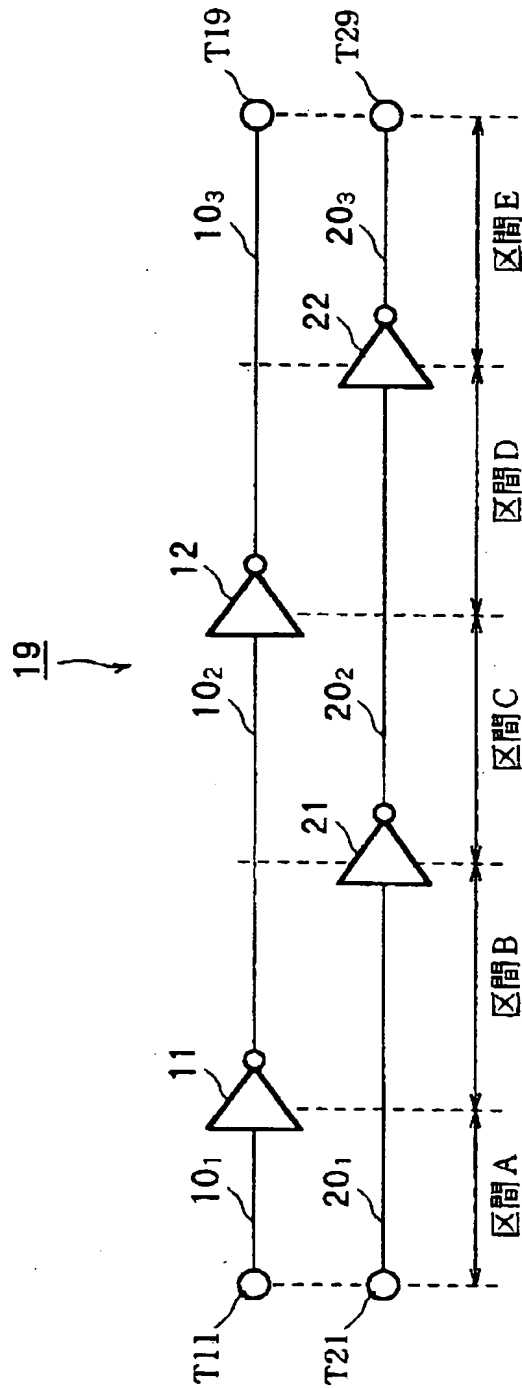
【符号の説明】

1 ~ 4, 6, 7 ... 配線モジュール、 $10_1 \sim 10_3$, $20_1 \sim 20_3$, $30_1 \sim 30_5$, $40_1 \sim 40_5$, $60_1 \sim 60_3$, $70_1 \sim 70_3$, $110_1 \sim 110_3$, $120_1 \sim 120_3$, $130_1 \sim 130_3$, $140_1 \sim 140_3$... 配線、11, 12, 21, 22, 31, 33, 42, 44, 111, 122, 131, 142 ... 反転回路、11N ... n チャンネル型 MOSFET、11P ... p チャンネル型 MOSFET、19, 29, 119 ... クロストークキャンセル回路、31A, 33A, 42A, 44A, 111A, 122A, 131A, 142A ... 入力線、31B, 33B, 42B, 44B, 111B, 122B, 131B, 142B ... 出力線、32, 34, 41, 43, 112, 121, 132, 141 ... 信号線、61, 62, 71, 72 ... バッファ、61C, 62C, 64C, 65C, 67C, 68C ... 寄生容量、61R ~ 69R, 71R ~ 79R ... 配線抵抗、69 ... クロス

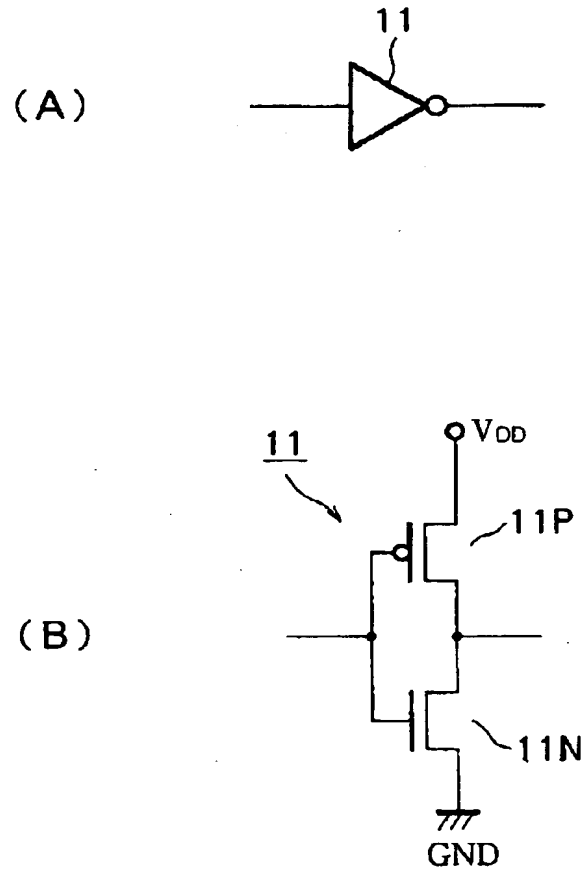
トーク抑制回路、A～E…区間、GND…接地電位（グラウンドレベル）、S1，
S2，S3…信号、T11，T21，T61，T71…入力端、T19，T29
，T69，T79…出力端、Tc…変化時間、Tx…重複時間、V_{DD}…電源電圧
。

【書類名】 図面

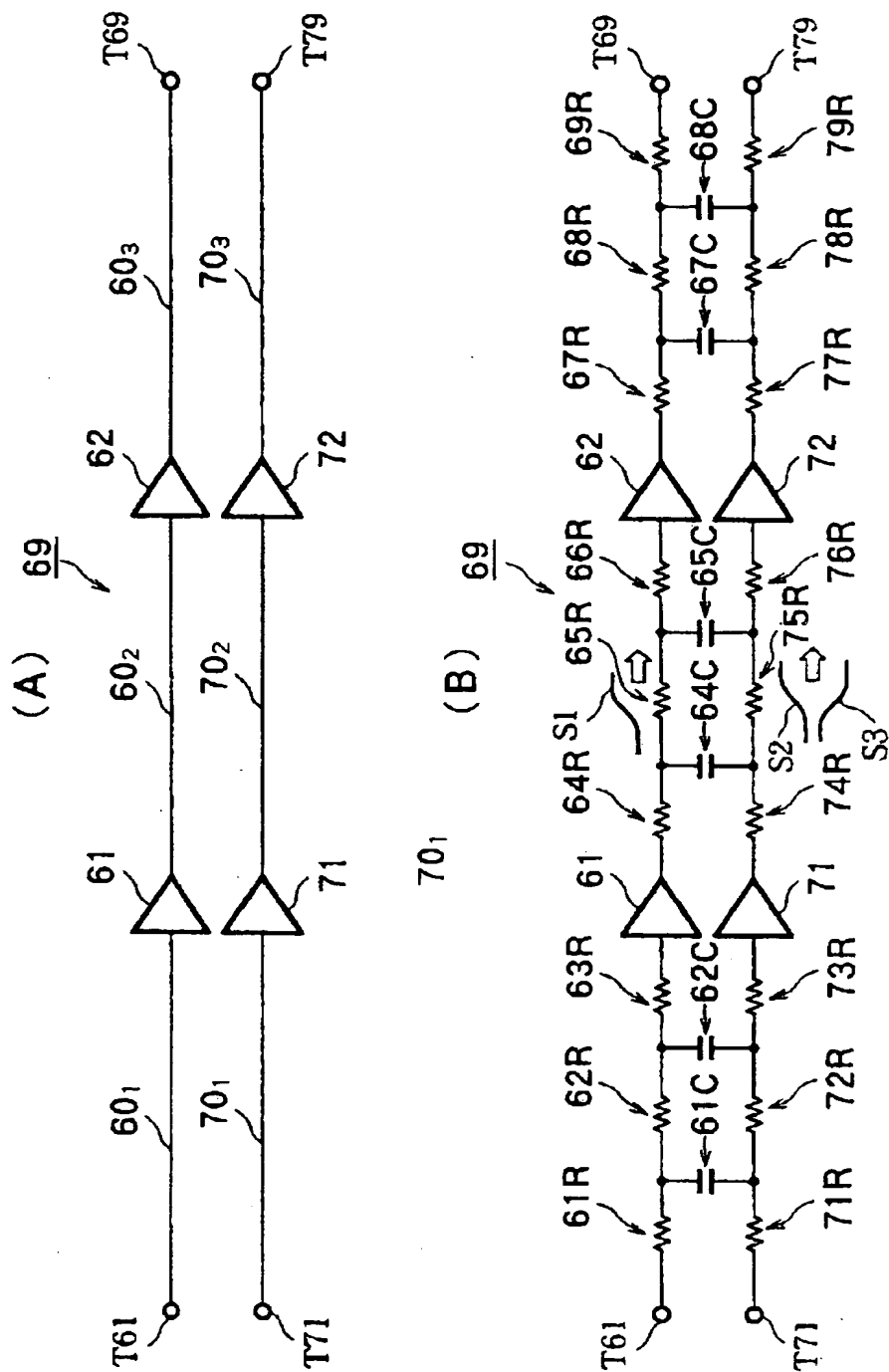
【図 1】



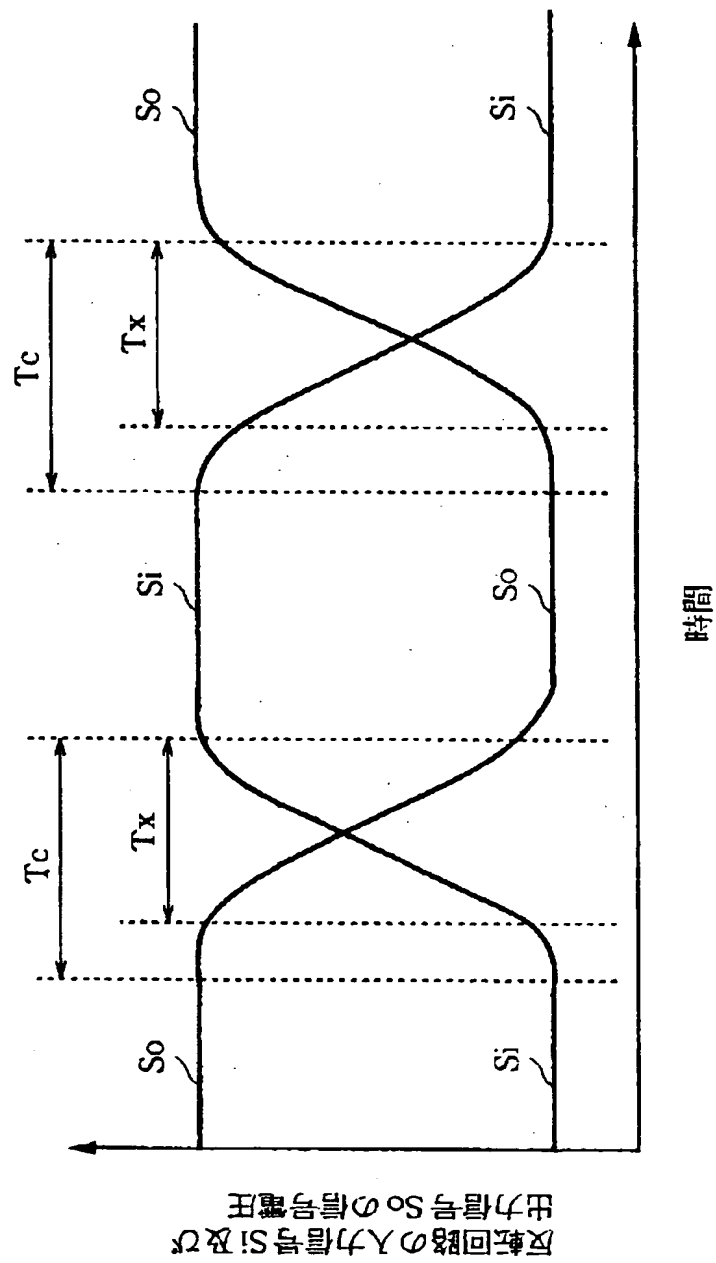
【図 2】



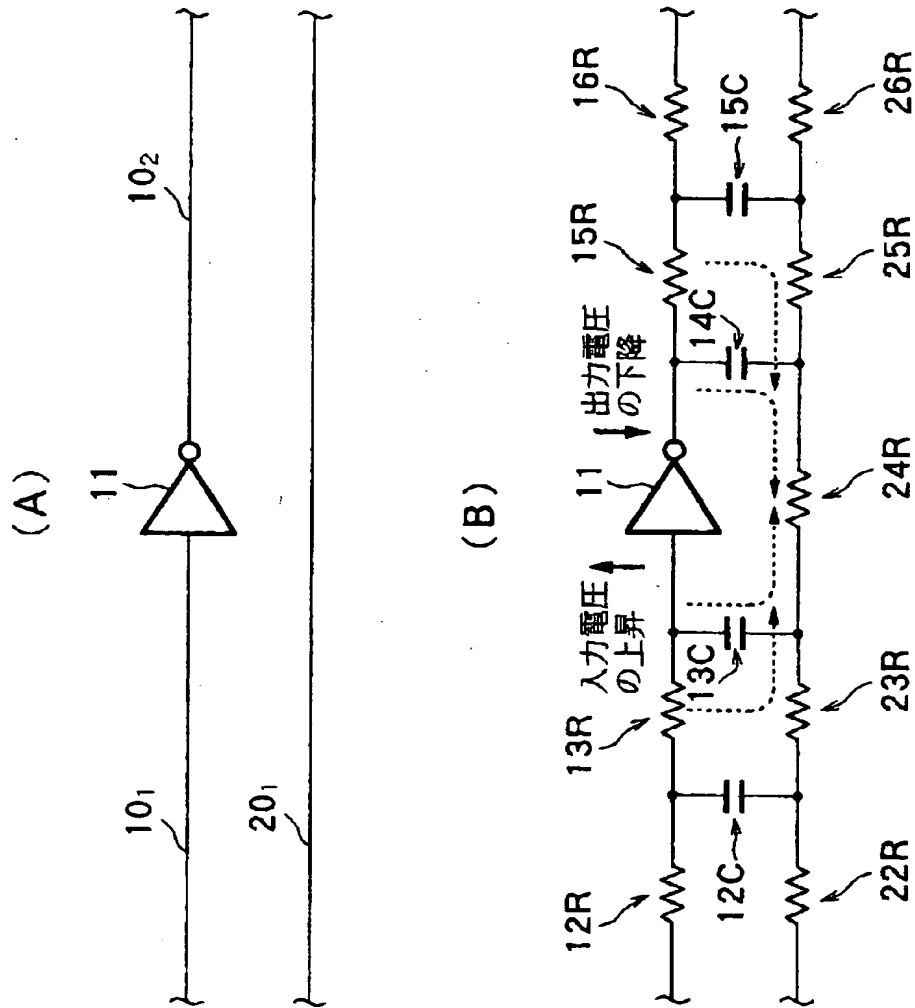
【図 3】



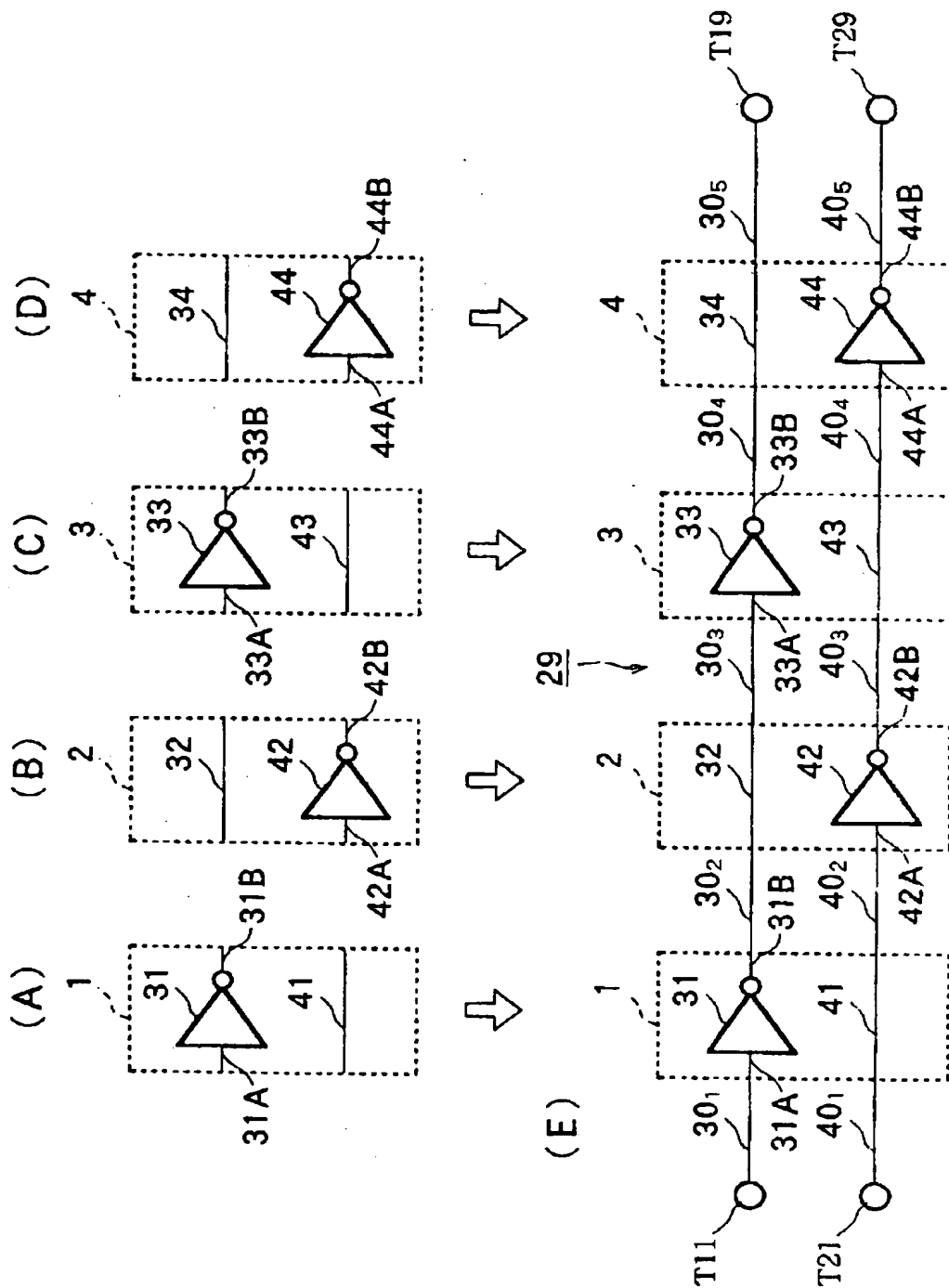
【図 4】



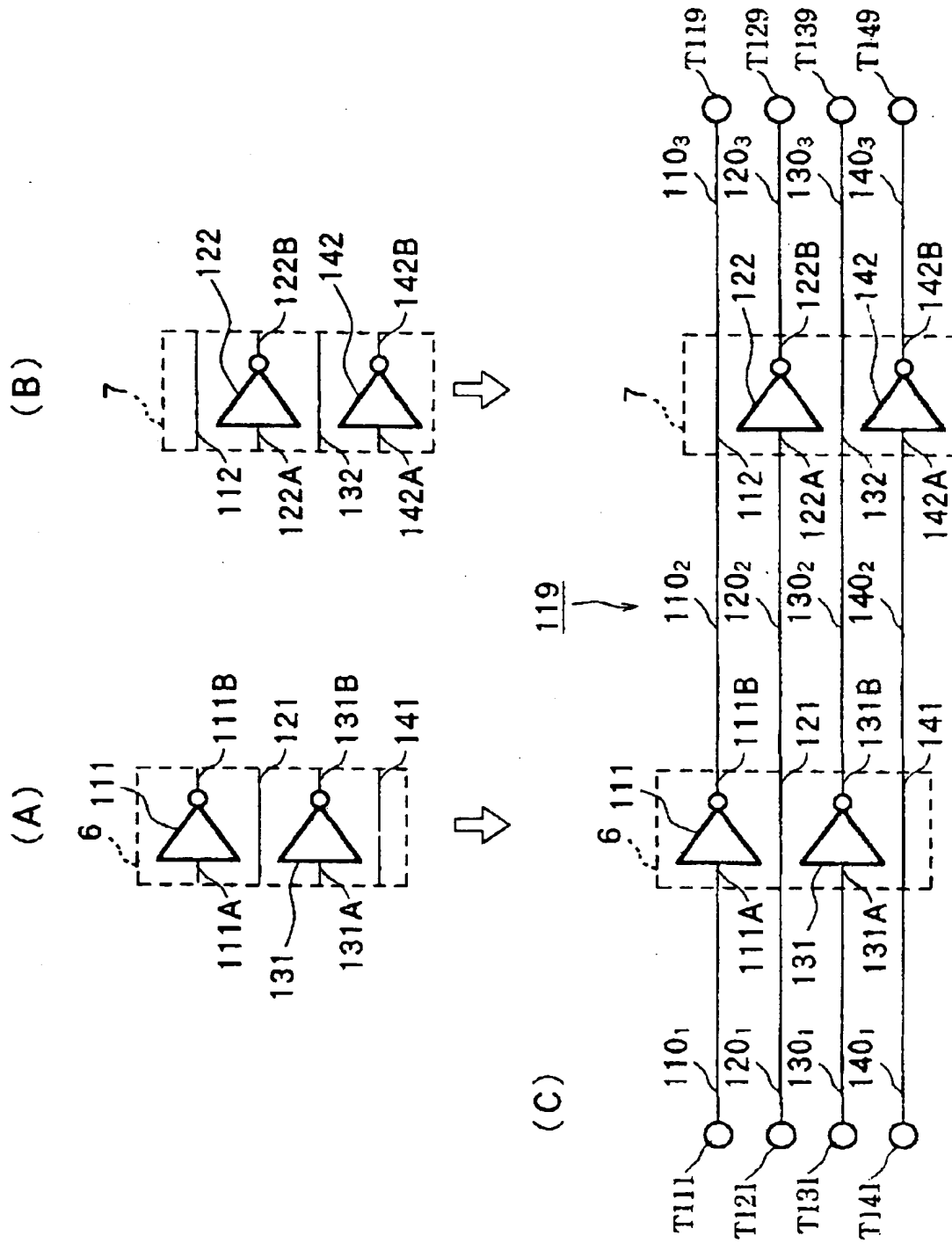
【図 5】



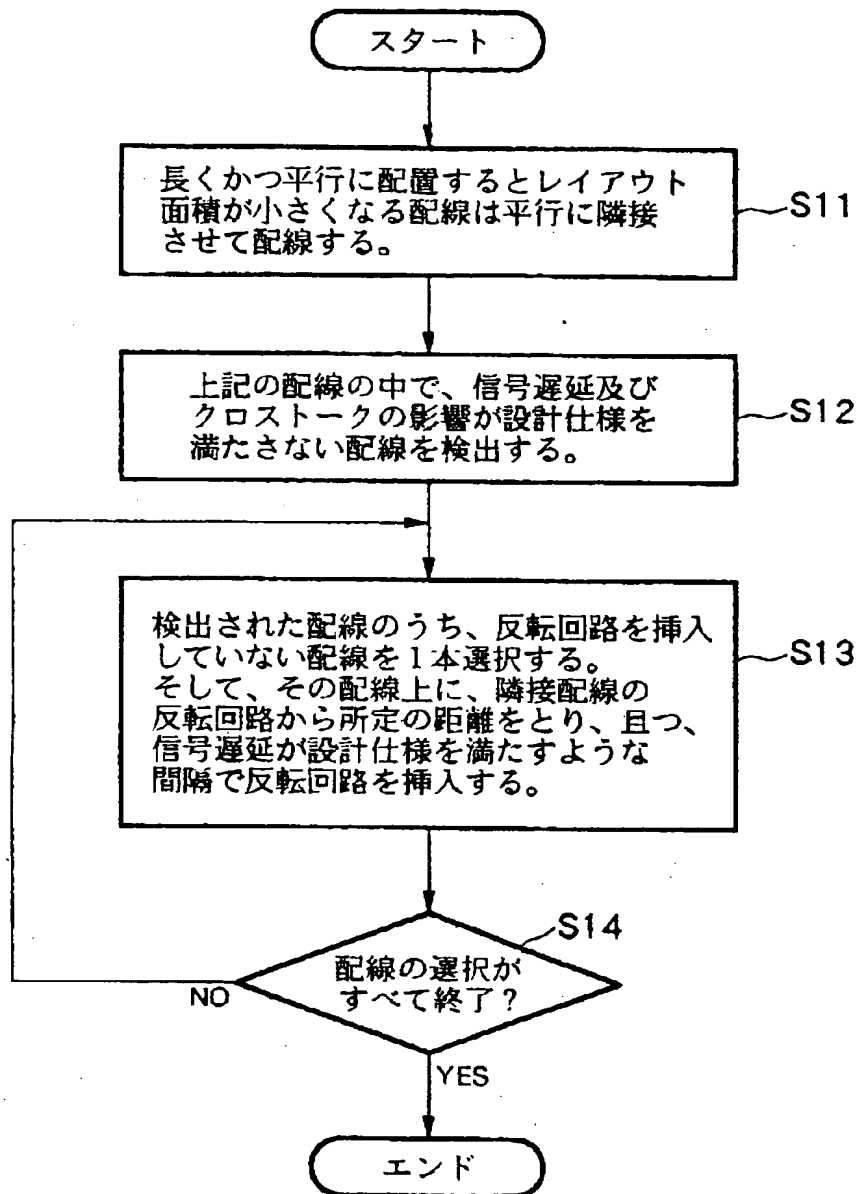
【図6】



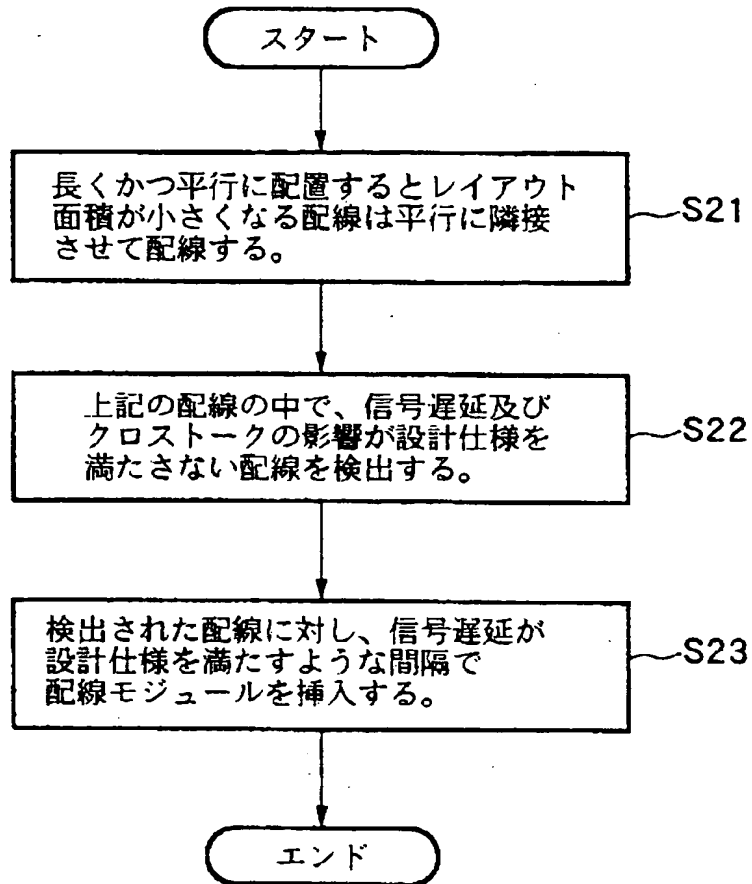
【图 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 大規模集積回路（LSI）内の配線のクロストークノイズを抑えることが可能なクロストークキャンセル回路を提供する。

【解決手段】 クロストークキャンセル回路19は、入力端T11、T21と、配線10₁～10₃、20₁～20₃と、反転回路11、12、21、22と、出力端T19、T29とを有する。配線10₁～10₃と配線20₁～20₃は、互いに平行に配置されている。反転回路11、12は、配線10₁～10₃によって直列接続されている。反転回路21、22は、配線20₁～20₃によって直列接続されている。反転回路11、12、21、22は、配線10₁～10₃、20₁～20₃が延びる配線方向上に、交互に配置されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社